

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

23.03.99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1998年 3月25日

REC'D 17 MAY 1999

WIPO PCT

出願番号

Application Number:

平成10年特許願第076813号

出願人

Applicant(s):

ソニー株式会社

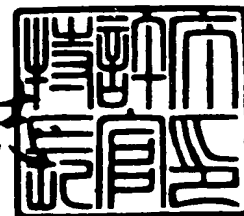
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

1999年 4月23日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平11-3024587

Best Available Copy

【書類名】 特許願

【整理番号】 9800095002

【提出日】 平成10年 3月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133
G09G 3/36

【発明の名称】 液晶表示装置

【請求項の数】 6

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 猪野 益充

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 坪田 浩嘉

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

 【代表者】 出井 伸之

【代理人】

 【識別番号】 100086298

 【弁理士】

 【氏名又は名称】 船橋 國則

 【電話番号】 0462-28-9850

【手数料の表示】

 【予納台帳番号】 007364

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9713936

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】 マトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が 2 次元配置されてなる表示部と、

前記表示部の各画素に前記複数列分の信号ラインを介して所定の電圧を与える複数のドライバ回路とを備え、

前記複数のドライバ回路をそれぞれの出力端子数を同じ数に設定して前記複数列分の信号ラインの各々に対応関係をもって順に配置する際に、前記複数列分の信号ラインに端数が出るとき、前記複数のドライバ回路のうちの 1 つの出力端子数を前記端数に設定する

ことを特徴とする液晶表示装置。

【請求項 2】 前記複数のドライバ回路は、前記表示部の外部に配されたドライバ IC である

ことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 マトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が 2 次元配置されてなる表示部と、

前記表示部の各画素に前記複数列分の信号ラインを介して所定の電圧を与える複数のドライバ回路とを備え、

前記複数のドライバ回路のそれぞれの出力端子数を、前記複数列分の信号ラインの総本数の約数に設定する

ことを特徴とする液晶表示装置。

【請求項 4】 前記複数のドライバ回路のそれぞれの出力端子数が同じ数である

ことを特徴とする請求項 3 記載の液晶表示装置。

【請求項 5】 前記複数のドライバ回路のそれぞれの出力端子数が 2 のべき乗である

ことを特徴とする請求項 3 記載の液晶表示装置。

【請求項6】 前記複数のドライバ回路は、前記表示部の外部に配されたドライバICである

ことを特徴とする請求項3記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置（LCD；Liquid Crystal Display）に関し、特に各画素に所定の電圧を印加するドライバ回路を、液晶表示パネルの外部回路として設けてなるマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】

パーソナルコンピュータやワードプロセッサなどに用いられている液晶表示装置は、マトリクス型が主力となっている。このマトリクス型液晶表示装置は、応答速度や画像品質の面で優れており、近年のカラー化に最適な表示装置となってきた。この種の表示装置において、液晶表示パネルの各画素には、トランジスタあるいはダイオードなどの非線形な素子が用いられている。具体的には、ガラス基板上に薄膜トランジスタ（TFT；thin film transistor）を形成した構造となっている。

【0003】

ところで、特に大型の液晶表示装置においては、各画素に所定の電圧を印加するドライバICを、液晶表示パネルの外部に設けた構成を採っている。そして、外部のドライバICの出力と液晶表示パネルの信号ラインとは、通常、1対1の対応関係となっている。すなわち、ドライバICの各出力端子からの出力電圧はそのまま対応する信号ラインに与えられるようになっている。

【0004】

したがって、例えばR（赤），G（緑），B（青）の各色ごとに1024本、即ち3072（＝1024×3）本の信号ラインを持つXGA表示方式の液晶表示装置において、各信号ラインに対して例えば120本の出力ピン（出力端子）を持つ既存の汎用ドライバICを接続しようとする、合計で26個のドライバ

ICを必要とすることになる。

【0005】

【発明が解決しようとする課題】

しかしながら、上述したように、表示方式によって総本数が決まる信号ラインに対して汎用ドライバICを使用すると、ドライバICのピン数が余ることが発生する。例えば、3072本の信号ラインに対して、120本の出力ピンを持つ汎用ドライバICを26個用いた場合、最後に配置されるドライバICの出力ピンが48 ($= 120 \times 26 - 3072$) 個だけ余ることになる。

【0006】

そして、液晶表示パネルのサイズの観点から考えると、図11に示すように、ドライバIC101の出力ピンにおける余分なピン部分が、画像表示に寄与しない余分な接続領域となり、液晶表示パネル102の左右の額縁部分を占めることになるため、液晶表示パネル102の水平方向のサイズが増すことになり、その結果、液晶表示装置全体のコンパクト化が困難となる。なお、図11において、ドライバIC101は、フレキシブルケーブル103を介して液晶表示パネル102上の接続部分104にて信号ラインの各々に接続される。

【0007】

また、階調を伴うカラー表示を行う場合には、各画素の薄膜トランジスタに印加する電圧を出力する出力バッファ回路や階調制御回路の構成が複雑になり、ドライバIC自体も高価なものとなる。このような高価なドライバICを、その余った出力ピンに対応する回路部分が表示に全く寄与しない状態で用いることは無駄であり、また液晶表示装置のコストアップにもつながる。

【0008】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、外部ドライバICを用いる場合において、液晶表示パネルの水平方向の狭幅化を可能とした液晶表示装置を提供することにある。

【0009】

【課題を解決するための手段】

本発明による液晶表示装置は、マトリクス状に配線された複数行分のゲートラ

インと複数列分の信号ラインとの交差点に複数個の画素が2次元配置されてなる表示部と、この表示部の各画素に複数列分の信号ラインを介して所定の電圧を与える複数のドライバ回路とを備え、この複数のドライバ回路をそれぞれの出力端子数を同じ数に設定して複数列分の信号ラインの各々と対応関係をもって順に配置する際に、複数列分の信号ラインに端数が出るとき、複数のドライバ回路のうちの1つの出力端子数を上記端数に設定する。

【0010】

上記構成の液晶表示装置において、複数のドライバ回路のうちの1つの出力端子数を、信号ラインの端数に設定することで、最終的に複数のドライバ回路に対して信号ラインには端数が生じない。したがって、ドライバ回路の出力端子を余らせることなく信号ラインの各々と接続することができるため、表示部には画像表示に寄与しない余分な接続領域が生じない。

【0011】

本発明による他の液晶表示装置は、マトリクス状に配線された複数列分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が2次元配置されてなる表示部と、この表示部の各画素に複数列分の信号ラインを介して所定の電圧を与える複数のドライバ回路とを備え、この複数のドライバ回路のそれぞれの出力端子数を、複数列分の信号ラインの総本数の約数に設定する。

【0012】

上記構成の他の液晶表示装置において、ドライバ回路の出力端子数を設定する際に、各々の出力端子数を信号ラインの総本数の約数に設定し、この出力端子数で決まる個数のドライバ回路を配置する。これにより、複数のドライバ回路に対して信号ラインには端数が生じない。したがって、ドライバ回路の出力端子を余らせることなく信号ラインの各々と接続することができるため、表示部には画像表示に寄与しない余分な接続領域が生じない。

【0013】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0014】

図1は、本発明に係るマトリクス型液晶表示装置における液晶表示部の配線図である。このマトリクス型液晶表示装置は、複数行分のゲートライン11-1, 11-2, 11-3, ……と複数列分の信号ライン12-1, 12-2, 12-3, ……が、液晶の表面にマトリクス状に配線され、その液晶の裏面側にバックライトが配置された構造となっている。そして、ゲートライン11-1, 11-2, 11-3, ……と信号ライン12-1, 12-2, 12-3, ……の交差点が画素となり、液晶表示パネル（表示部）10を形成している。この画素の構成については後述する。

【0015】

複数行分のゲートライン11-1, 11-2, 11-3, ……の各一端は、垂直駆動回路13の対応する行の各出力端にそれぞれ接続されている。垂直駆動回路13は、上記液晶表示パネルと同一の基板上に配されており、ゲートライン11-1, 11-2, 11-3, ……に順に走査パルスを与えて各画素を行単位で選択することによって垂直走査を行う。

【0016】

また、信号ライン12-1, 12-2, 12-3, ……に画像データに応じた所定の電圧を印加する複数のドライバIC14-1, 14-2, 14-3, ……が、上記液晶表示パネル10の外部回路として設けられている。複数のドライバIC14-1, 14-2, 14-3, ……には、例えば8階調以上で512色以上の表示を可能にするデジタル画像データが入力される。

【0017】

図2は、画素の回路構成図である。同図から明らかなように、各画素20は、薄膜トランジスタ21、付加容量22および液晶容量23から構成されている。薄膜トランジスタ21は、そのゲート電極がゲートライン11-1, 11-2, 11-3, ……に、そのソース電極が信号ライン12-1, 12-2, 12-3, ……にそれぞれ接続されている。

【0018】

この画素構造において、液晶容量23は、薄膜トランジスタ21で形成される画素電極と、これに対応して形成される対向電極との間で発生する容量を意味す

る。そして、この画素電極に保持される電位は、“H”もしくは“L”の電位で書き込まれる。ここで、“H”は高電圧書き込み状態を示し、“L”は低電圧書き込み状態を示す。

【0019】

液晶の駆動に際しては、対向電極の電位（コモン電位VCOM）を例えば6VのDC電位に設定し、これに対して信号電圧を高電圧H、低電圧Lで1フィールド周期にて周期的に変動させることにより、交流駆動が実現できる。この交流駆動は、液晶分子の分極作用を減少することができ、液晶分子の帯電もしくは電極表面に存在する絶縁膜の帯電を防ぐことが可能となる。

【0020】

一方、画素20では、薄膜トランジスタ21がオン状態となると、液晶での光の透過率が変化するとともに、付加容量22が充電される。この充電により、薄膜トランジスタ21がオフ状態となっても、付加容量22の充電電圧による液晶での光透過率状態が、次に薄膜トランジスタ21がオン状態となるまでの間保持される。このような方式により、液晶表示パネル10の画像における画質向上が図られる。

【0021】

図3は、ドライバIC14-1, 14-2, 14-3, ……の内部構成の一例を示すブロック図である。図3から明らかなように、これらドライバICは、水平シフトレジスタ回路31、サンプリングスイッチ群32、レベルシフタ33、データラッチ回路34およびデジタルアナログ変換回路35を有し、本例では、例えば5ビットのデジタル画像データdata1～data5や電源電圧Vdd, Vssを水平シフトレジスタ回路31のシフト方向における両側から取り込む構成となっている。

【0022】

上記構成のドライバIC14-1, 14-2, 14-3, ……において、水平シフトレジスタ回路31は、水平走査パルスを順次出力することによって水平走査（列走査）を行う。サンプリングスイッチ群32におけるサンプリングスイッチの各々は、水平シフトレジスタ回路31からの水平走査パルスに応答して、入力され

るデジタル画像データ $data1 \sim data5$ を順次サンプリングする。

【0023】

レベルシフタ 33 は、サンプリングスイッチ群 32 でサンプリングされた例えば 5 V のデジタルデータを液晶駆動電圧のデジタルデータに昇圧する。データラッチ回路 34 は、レベルシフタ 33 で昇圧されたデジタルデータを 1 水平期間分蓄積するメモリである。デジタルアナログ変換回路 35 は、データラッチ回路 34 から出力される 1 水平期間分のデジタルデータをアナログ信号に変換して出力する。

【0024】

上述した構成の液晶表示装置において、本発明の特徴とするところは、液晶表示パネル 10 の信号ライン 12-1, 12-2, 12-3, …… の各々と、複数のドライバ IC 14-1, 14-2, 14-3, …… の各出力ピン（出力端子）との接続部分の構成にある。以下に、その具体的な実施形態について説明する。

【0025】

まず、例えば XGA 表示方式の液晶表示装置に適用した第 1 実施形態につき、図 4 を用いて説明する。

【0026】

液晶表示パネル 10 は、XGA 表示の場合、R, G, B の各色ごとに 1024 本、即ち 3072 ($= 1024 \times 3$) 本の信号ライン 12-1, 12-2, 12-3, …… を持っている。一方、ドライバ IC 14-1, 14-2, 14-3, …… として、例えば 120 本の出力ピンを持つ汎用ドライバ IC を使い、信号ライン 12-1, 12-2, 12-3, …… の各々に対応して順に配置するものとする。

【0027】

このとき、120 本の出力ピンを持つ汎用ドライバ IC を 25 個配置したとすると、信号ラインには 72 ($= 3072 - 120 \times 25$) 本の端数が出る。そこで、この端数の 72 本の信号ラインを担うドライバ IC として、120 本の出力ピンを持つ汎用のドライバ IC ではなく、72 本の出力ピンを持つドライバ IC を使い、当該ドライバ IC を含む計 26 個のドライバ IC 14-1, 14-2, 14-3, …… , 14-26 を水平方向に順に配置するようにする。

【0028】

この72本の出力ピンを持つドライバICは、例えば図4に示すように、ドライバICを順に配置する際に、例えば26番目に配置されるドライバIC14-26として用いられる。すなわち、他の25個のドライバIC14-1, 14-2, 14-3, …… , 14-25に割り当てられる信号ラインの本数は120本であるのに対し、26番目のドライバIC14-26に割り当てられる信号ラインの本数は72本となる。

【0029】

このように配置された26個のドライバIC14-1, 14-2, 14-3, …… , 14-26は、各々の出力ピンがフレキシブルケーブル16を介して液晶表示パネル10上の接続部分16にて信号ライン12-1, 12-2, 12-3, ……の各々に接続され、これら信号ライン12-1, 12-2, 12-3, ……を介して各画素に所定の電圧を印加するようになる。

【0030】

上述したように、ドライバIC14-1, 14-2, 14-3, ……として出力ピン数が同数の例えば汎用ドライバICを用いる場合において、これらのドライバICを信号ライン12-1, 12-2, 12-3, ……の各々と対応関係を持って順に配置する際に、信号ラインに端数が出るとき、ドライバIC14-1, 14-2, 14-3, ……のうちの1つの出力ピン数をその端数に設定することで、最終的に信号ラインには端数が生じず、ドライバICの出力ピンを余らせることなく信号ラインの各々と接続することができる。その結果、液晶表示パネル10には、画像表示に寄与しない余分な接続領域が生じない。

【0031】

なお、本実施形態においては、信号ラインの端数分を担うドライバICが配置される位置を最後（本例では、26番目）としたが、これに限られるものではなく、どの位置に配置することも可能である。また、本例で示した数値は一例に過ぎず、これらの数値に限定されるものではない。

【0032】

次に、例えばXGA表示方式の液晶表示装置に適用した第2実施形態につき、

図 5 を用いて説明する。

【0033】

液晶表示パネル 10 は、XGA 表示の場合、先述したように、R、G、B の各色ごとに 1024 本、即ち 3072 本の信号ライン 12-1, 12-2, 12-3, ……を持っている。この 3072 本の信号ライン 12-1, 12-2, 12-3, ……に対して、複数のドライバ IC 14-1, 14-2, 14-3, ……を配置するのであるが、このとき、ドライバ IC 14-1, 14-2, 14-3, ……の出力ピン数を、信号ライン 12-1, 12-2, 12-3, ……の総本数（即ち、水平表示ドット数）の約数に設定する。

【0034】

XGA 表示では、信号ライン 12-1, 12-2, 12-3, ……の総本数が 3072 本であることから、一例として、ドライバ IC 14-1, 14-2, 14-3, ……の出力ピン数を 3072 の約数でかつ好ましくは 2 のべき乗（累乗）である 512 ($= 2^9$) 本に設定する。これにより、6 ($= 3072 / 512$) 個のドライバ IC が必要となり、この 6 個のドライバ IC 14-1, 14-2, 14-3, ……、14-6 を信号ライン 12-1, 12-2, 12-3, ……の各々に対応関係をもって順に配置すれば良いことになる。

【0035】

このように配置された 6 個のドライバ IC 14-1, 14-2, 14-3, ……、14-6 は、各々の出力ピンがフレキシブルケーブル 16 を介して液晶表示パネル 10 上の接続部分 16 にて信号ライン 12-1, 12-2, 12-3, ……の各々に接続され、これら信号ライン 12-1, 12-2, 12-3, ……を介して各画素に所定の電圧を印加するようになる。

【0036】

上述したように、ドライバ IC 14-1, 14-2, 14-3, ……の出力ピン数を設定する際に、各々の出力ピン数を信号ライン 12-1, 12-2, 12-3, ……の総本数の約数に設定し、この出力ピン数で決まる個数のドライバ IC を配置することで、信号ラインには端数が生じず、ドライバ IC の出力ピンを余らせることなく信号ラインの各々と接続することができる。その結果、液晶表示パネル 10

には、画像表示に寄与しない余分な接続領域が生じない。

【0037】

なお、本例で示した数値は一例に過ぎず、これらの数値に限定されるものではない。ここで、ドライバICの個数が少なければ少ないほど低コスト化に有利であり、逆に多ければ回路の一部に不良箇所が発生した場合にその不良箇所を含むICのみを交換することで対応できるという利点がある。したがって、ドライバICの出力ピン数を設定するに際しては、その出力ピン数で決まるドライバICの個数などを考慮して決めるようにすれば良い。

【0038】

また、本実施形態では、XGA（1024画素×768画素）表示に適用した場合について説明したが、他の表示方式、例えばNTSC（640画素×480画素）表示、VGA（800画素×600画素）表示、SXGA（1280画素×1024画素）表示、UXGA（1600画素×1400画素）表示にも適用できることは言うまでもない。

【0039】

さらに、上記各実施形態においては、外部ドライバIC 14-1, 14-2, 14-3, ……の各出力ピンと信号ライン 12-1, 12-2, 12-3, ……とが1対1の対応関係にある液晶表示装置に適用した場合を例に採って説明したが、1:1の対応関係にない液晶表示装置にも適用可能である。すなわち、いわゆる時分割駆動法を用いた液晶表示装置では、外部ドライバICの出力ピンと信号ラインとは1:1の対応関係がなく、この種の液晶表示装置にも適用可能である。

【0040】

ここで、時分割駆動法とは、複数本の信号ラインを1単位（ブロック）とし、この1分割ブロック内の複数本の信号ラインに与える信号を時系列でドライバICから出力する一方、液晶表示パネルには複数本の信号ラインを1単位として時分割スイッチを設け、これら時分割スイッチにてドライバICから出力される時系列の信号を時分割して複数本の信号ラインに順次与える駆動方法である。この時分割駆動法を用いることで、ドライバICの出力ピン数を削減できる。

【0041】

図6は、時分割駆動法を用いたマトリクス型液晶表示装置における液晶表示部の配線図である。このマトリクス型液晶表示装置は、複数行分のゲートライン41-1, 41-2, 41-3, ……と複数列分の信号ライン42-1, 42-2, 42-3, ……が、液晶の表面にマトリクス状に配線され、その液晶の裏面側にバックライトが配置された構造となっている。そして、ゲートライン41-1, 41-2, 41-3, ……と信号ライン42-1, 42-2, 42-3, ……の交差点が画素となり、液晶表示パネル40を形成している。この画素は、例えば図2に示す構成となっている。

【0042】

複数行分のゲートライン41-1, 41-2, 41-3, ……の各一端は、垂直駆動回路43の対応する行の各出力端にそれぞれ接続されている。垂直駆動回路43は、上記液晶表示パネルと同一の基板上に配されており、ゲートライン41-1, 41-2, 41-3, ……に順に走査パルスを与えて各画素を行単位で選択することによって垂直走査を行う。

【0043】

また、信号ライン42-1, 42-2, 42-3, ……に画像データに応じた所定の電圧を印加する複数のドライバIC（図6には、その1段目のドライバIC44のみを示す）が、上記液晶表示パネル40の外部回路として設けられている。このドライバIC44には、例えば8階調以上で512色以上の表示を可能にするデジタル画像データが入力される。ドライバIC44は、例えば図3に示す構成となっている。

【0044】

そして、ドライバIC44としては、ドット反転駆動用ICが用いられる。このドライバIC44は、ドット反転駆動を実現するために、各出力端子の奇数、偶数ごとに電位が反転する信号電圧を出力する。ここに、ドット反転駆動とは、隣接するドット（画素）に印加する電圧の極性を反転させる駆動法であり、画質向上に良好とされている。

【0045】

すなわち、ドット反転駆動により、隣接の画素に印加する電圧を逆極性にする
ことにより、信号ラインとゲートラインのクロス容量に起因する信号ラインから
の飛び込み電位がキャンセルされることから、画素電位が安定して入力されるよ
うになり、液晶表示時のフリッカーが軽減されるため、画質を向上できるのであ
る。

【0046】

ドライバIC44はさらに、時分割駆動を実現するために、複数の信号ライン
を1単位とし、これら複数の信号ラインに与える信号を時系列で出力する構成と
なっている。これに対応して、ドライバIC44の出力ライン45-1, 45-2,
45-3, ……と信号ライン42-1, 42-2, 42-3, ……の間には、時分割スイ
ッチ46が設けられている。

【0047】

図7に、R, G, Bに対応した3分割駆動の場合の時分割スイッチ46の接続
構成の一例を示す。この3分割駆動の場合には、ドライバIC44の各出力端子
からは、R, G, Bの3画素分の信号電圧が順に時系列で出力ライン45-1, 4
5-2, 45-3, ……を介して出力される。

【0048】

具体的には、図9のタイミングチャートに示すように、ドライバIC44の信
号出力として、ODD端子1から出力ライン45-1にはR1, B1, G1の各画
素の信号が、EVEN端子1から出力ライン45-2にはR2, G2, B2の各画
素の信号が、ODD端子2から出力ライン45-3にはR3, G3, B3の各画素
の信号が、……という具合に出力される。

【0049】

これに対して、出力ライン45-1と3本の信号ライン42-1, 42-2, 42-3
の間に時分割スイッチ46-1, 46-2, 46-3が、出力ライン45-2と3本の信
号ライン42-4, 42-5, 42-6の間に時分割スイッチ46-4, 46-5, 46-6
が、出力ライン45-3と3本の信号ライン42-7, 42-8, 42-9の間に時分割
スイッチ46-7, 46-8, 46-9が、……という具合に設けられている。

【0050】

これらの時分割スイッチ 46-1, 46-2, 46-3, 46-4, 46-5, 46-6, 46-7, 46-8, 46-9, ……は、例えば図 10 (a) に示すボトムゲート構造あるいは同図 (b) に示すトップゲート構造の薄膜トランジスタによって液晶表示パネル 10 内に形成される。

【0051】

図 10 (a) に示すボトムゲート構造の薄膜トランジスタでは、ガラス基板 51 の上にゲート電極 52 が形成され、その上にゲート絶縁膜 53 を介してポリシリコン (Poly-Si) 層 54 が形成され、さらにその上に層間絶縁膜 55 が形成されている。また、ゲート電極 52 の側方のゲート絶縁膜 53 上には、 N^+ 拡散層からなるソース領域 56 およびドレイン領域 57 が形成され、これらの領域 56, 57 にはソース電極 58 およびドレイン電極 59 がそれぞれ接続されている。

【0052】

図 10 (b) に示すトップゲート構造の薄膜トランジスタでは、ガラス基板 61 の上にポリシリコン層 62 が形成され、その上にゲート絶縁膜 63 を介してゲート電極 64 が形成され、さらにその上に層間絶縁膜 65 が形成されている。また、ポリシリコン層 62 の側方のガラス基板 61 上には、 N^+ 拡散層からなるソース領域 66 およびドレイン領域 67 が形成され、これらの領域 66, 67 にはソース電極 68 およびドレイン電極 69 がそれぞれ接続されている。

【0053】

これらの時分割スイッチ 46-1, 46-2, 46-3, 46-4, 46-5, 46-6, 46-7, 46-8, 46-9, ……は、外部から与えられるゲート選択信号 s_1 , s_2 , s_3 (図 9 のタイミングチャートを参照) に応答して順次オン状態となることにより、ドライバ IC 44 から出力ライン 45-1, 45-2, 45-3, ……に出力される時系列の信号を、1 水平走査期間に 3 時分割して対応する信号ラインに供給する。

【0054】

上述した 3 分割駆動の場合には、時分割数が奇数であることから、図 8 から明

らかなように、1ラインの隣接画素間で極性が反転するドット反転駆動が行われる。なお、図8は、図7に示す3分割駆動の場合の信号電圧の各画素への書き込み状態を示している。同図において、横方向は走査順、縦方向は時分割スイッチの動作順をそれぞれ示し、またHは高電圧、Lは低電圧の書き込み状態をそれぞれ示している。

【0055】

以上のように、時分割駆動を用いた液晶表示装置に適用することにより、ドライバIC44の出力ピン数を削減できることになる。具体的には、3分割駆動の場合には、分割駆動を用いない場合に比べてドライバIC44の出力ピン数を1/3に削減できるため、ドライバICのピン配列方向のサイズの縮小化が図れることになる。

【0056】

このとき、先述した第2実施形態のように、ドライバIC44の出力ピン数を信号ラインの総本数の約数に設定する場合を考えると、第2実施形態の数値に対応させると、信号ラインの総本数3072に対する約数は1536(=512×3)となる。このピン数の設定により、ドライバICと信号ラインとの接続部分において、画像表示に寄与しない余分な接続領域が生じないようにすることができる。

【0057】

その結果、今後、SXGAやUXGAの如く表示画素が増加する傾向にあるのに対して、ドット反転駆動によって良質な画質を安定して供給しつつ、液晶表示モジュールとしてコンパクト化が図れるとともに、安価な液晶表示パネルでカラー表示の多色化を実現することが可能となる。

【0058】

【発明の効果】

以上説明したように、本発明による液晶表示装置においては、複数のドライバ回路をそれぞれの出力端子数を同じ数に設定して複数列分の信号ラインの各々と対応関係をもって順に配置する際に、複数列分の信号ラインに端数が出るとき、複数のドライバ回路のうちの1つの出力端子数を上記端数に設定するようにした

ことにより、ドライバ回路の出力端子を余らせることなく信号ラインの各々と接続することができるため、液晶表示パネルには画像表示に寄与しない余分な接続領域が生じず、よって液晶表示パネルの水平方向の狭幅化が可能になる。

【0059】

また、本発明による他の液晶表示装置においては、複数のドライバ回路のそれぞれの出力端子数を、複数列分の信号ラインの総本数の約数に設定するようにしたことにより、信号ラインには端数が生じず、ドライバ回路の出力端子を余らせることなく信号ラインの各々と接続することができるため、液晶表示パネルには画像表示に寄与しない余分な接続領域が生じず、よって液晶表示パネルの水平方向の狭幅化が可能になる。

【図面の簡単な説明】

【図1】

本発明に係るマトリクス型液晶表示装置における液晶表示部の配線図である。

【図2】

画素の回路構成図である。

【図3】

ドライバICの内部構成の一例を示すブロック図である。

【図4】

本発明の第1実施形態を示す概略構成図である。

【図5】

本発明の第2実施形態を示す概略構成図である。

【図6】

時分割駆動を用いたマトリクス型液晶表示装置における液晶表示部の配線図である。

【図7】

3分割駆動の場合の時分割スイッチの接続構成図である。

【図8】

3分割駆動の場合の信号電圧の各画素への書込み状態を示す図である。

【図 9】

3 分割駆動の場合の各信号のタイミングチャートである。

【図 10】

薄膜トランジスタの一例を示す断面構造図であり、(a) はボトムゲート構造の場合を、(b) はトップゲート構造の場合をそれぞれ示している。

【図 11】

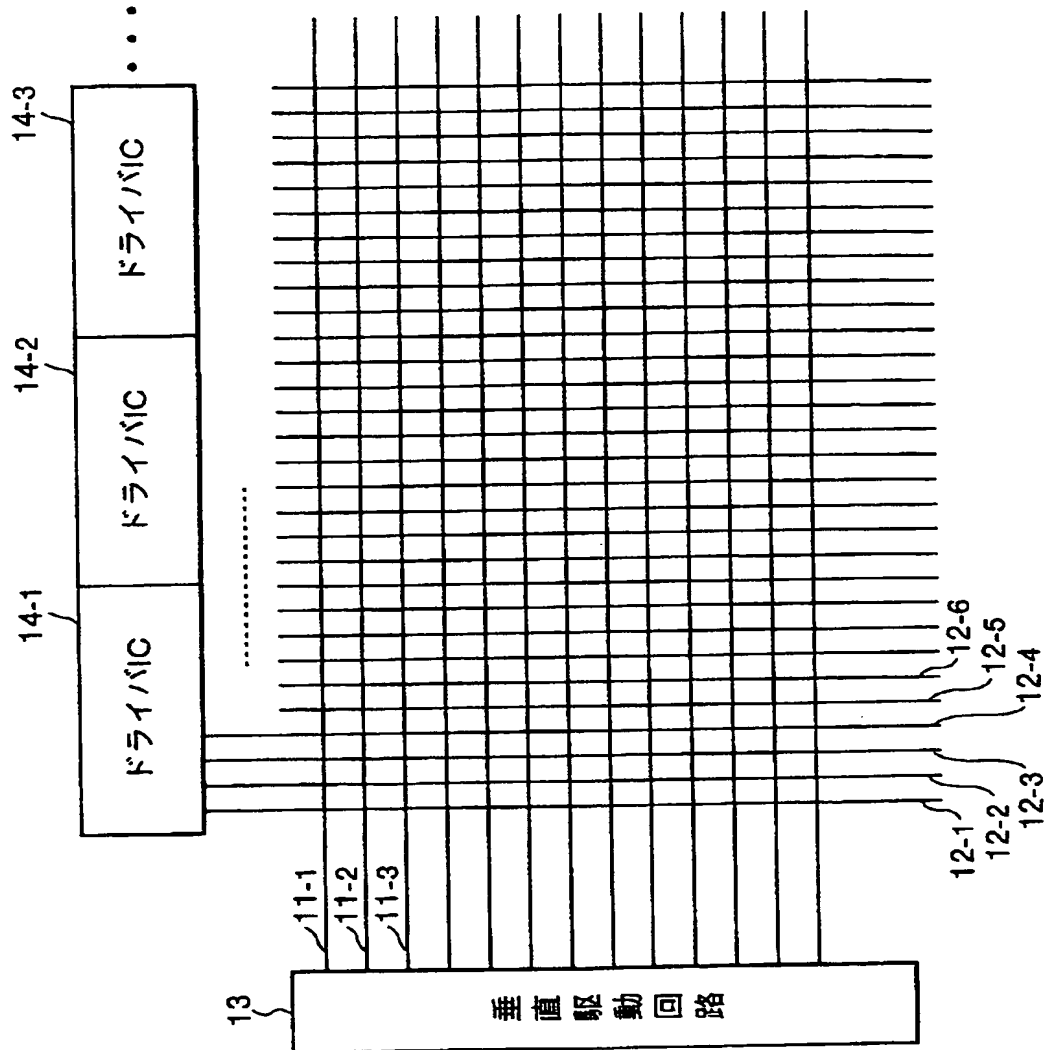
従来例を示す概略構成図である。

【符号の説明】

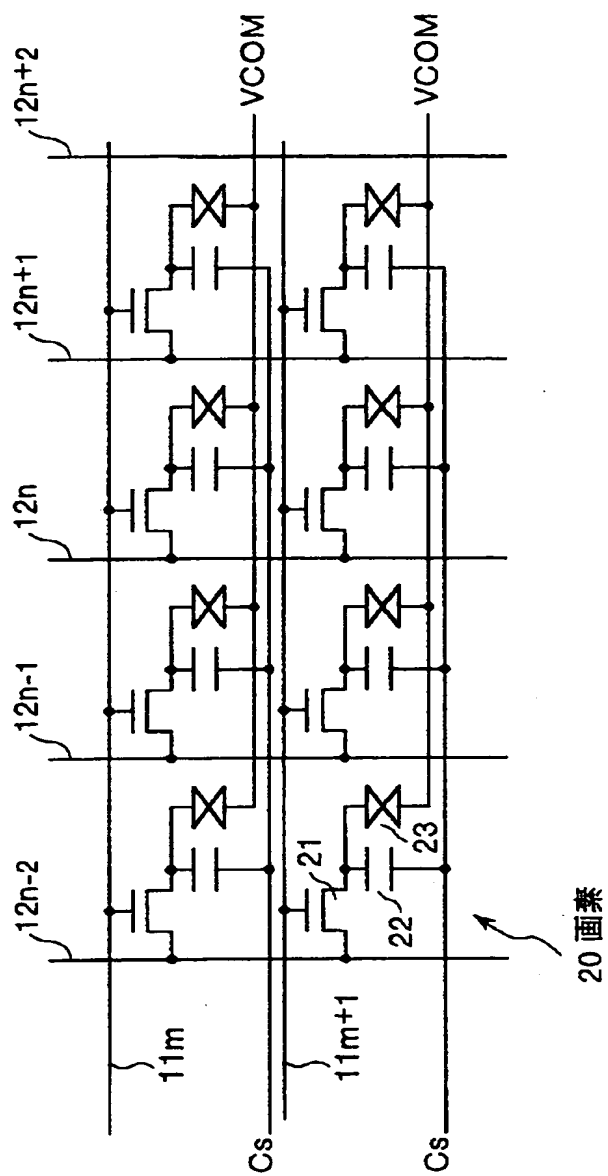
12-1～12-6, 42-1～42-6…信号ライン、13, 43…垂直駆動回路、
14-1～14-3, 44-1～44-3…ドライバ IC、20…画素、21…薄膜トランジスタ、22…付加容量、23…液晶容量

【書類名】 図面

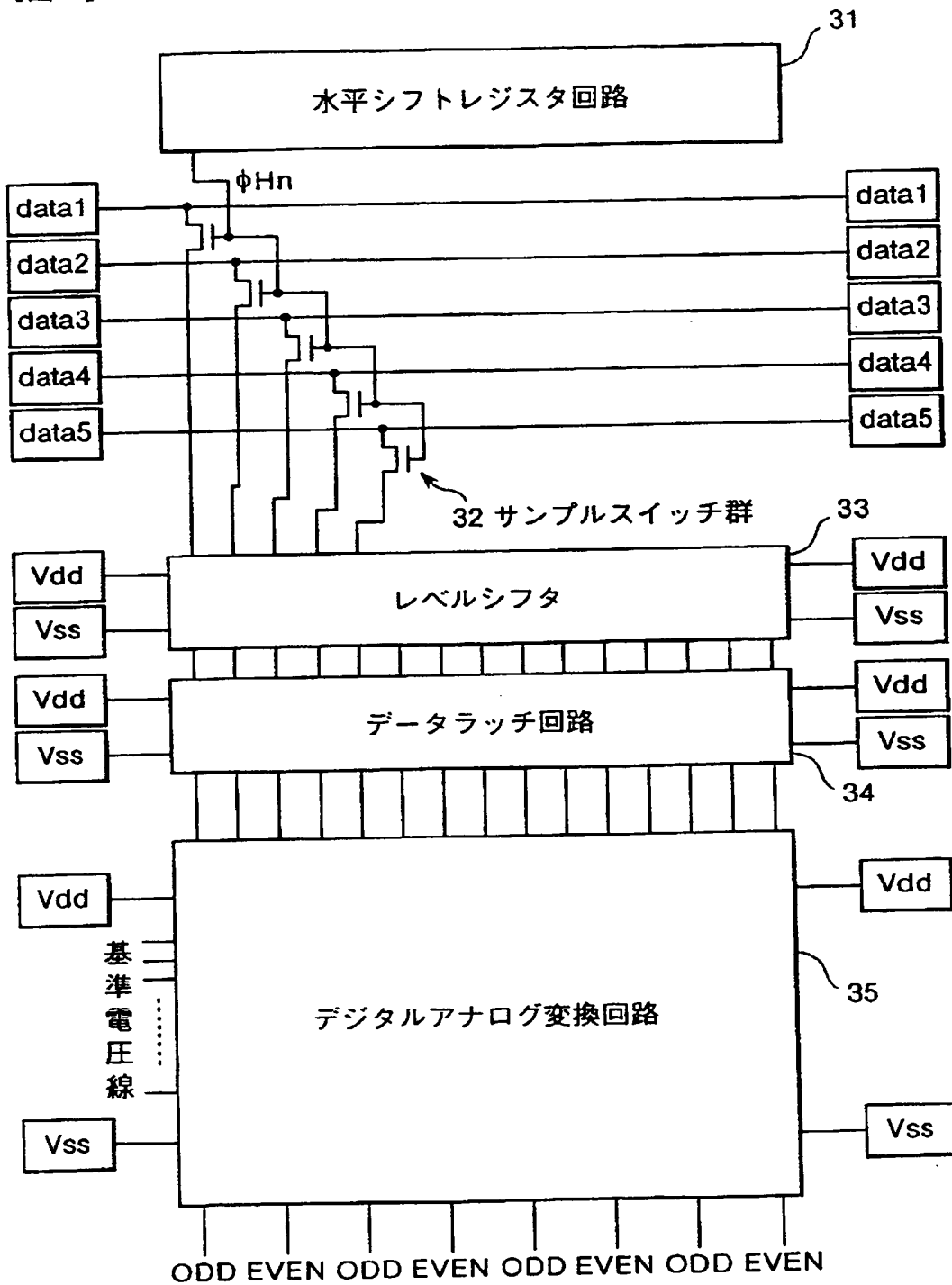
【図 1】



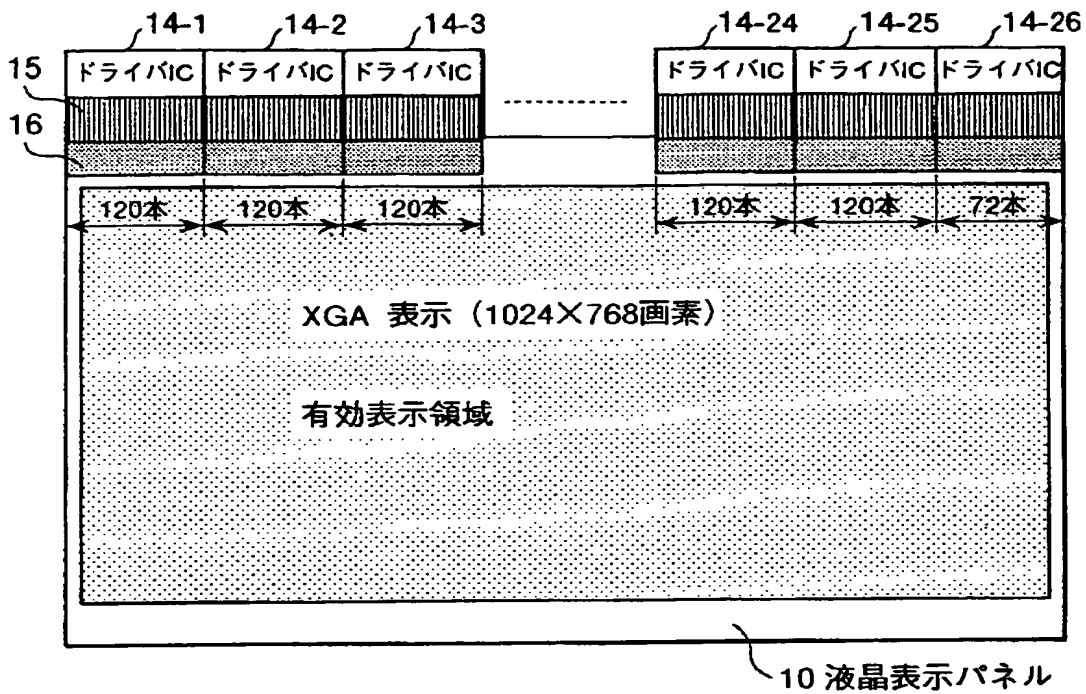
【図 2】



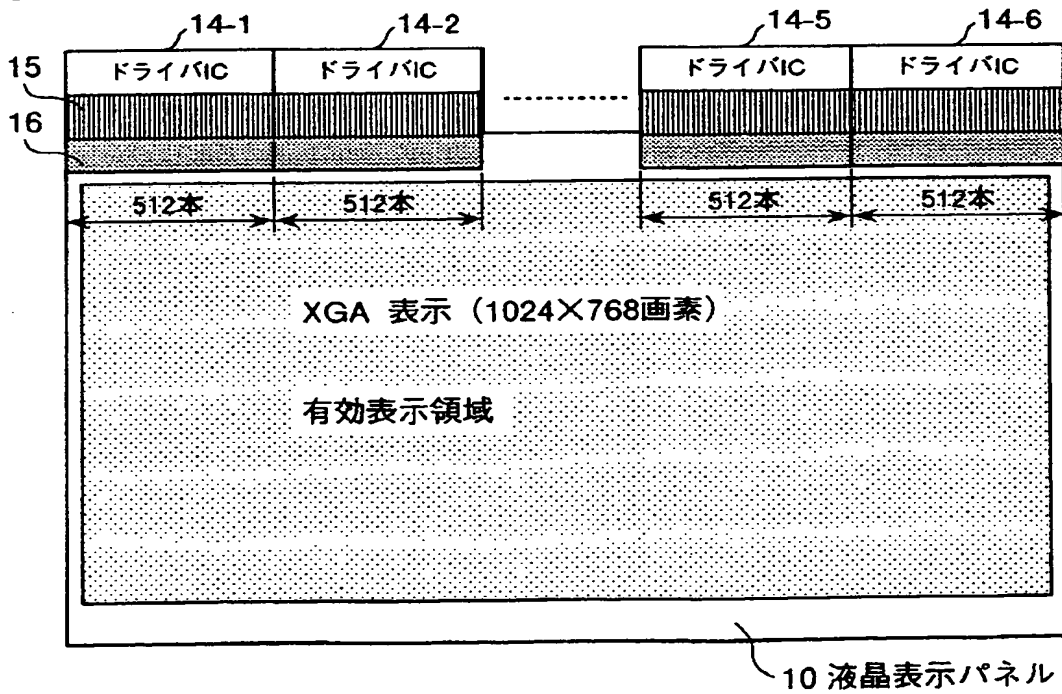
【図3】



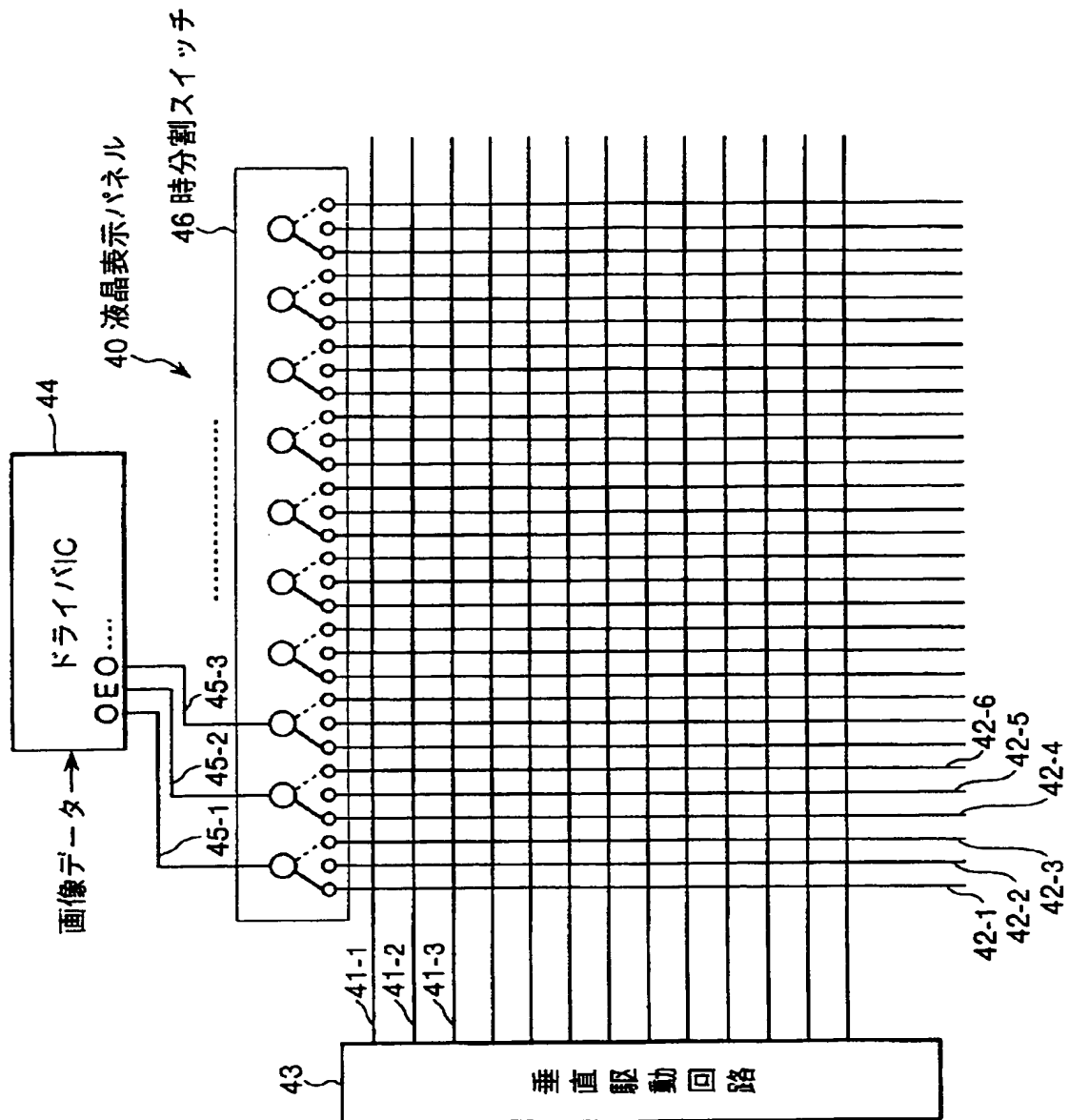
【図 4】



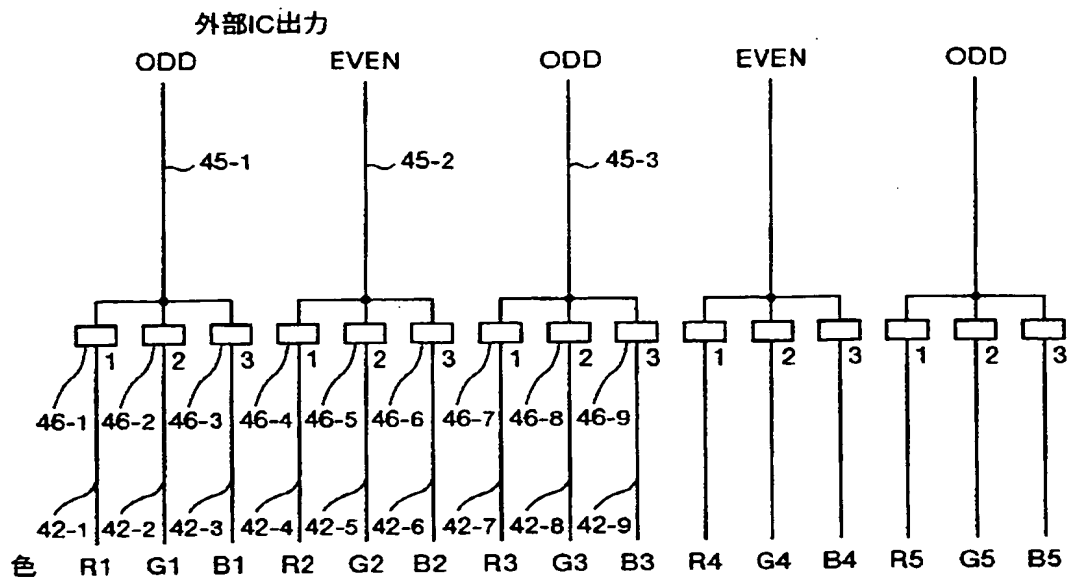
【図 5】



【図 6】



【図 7】



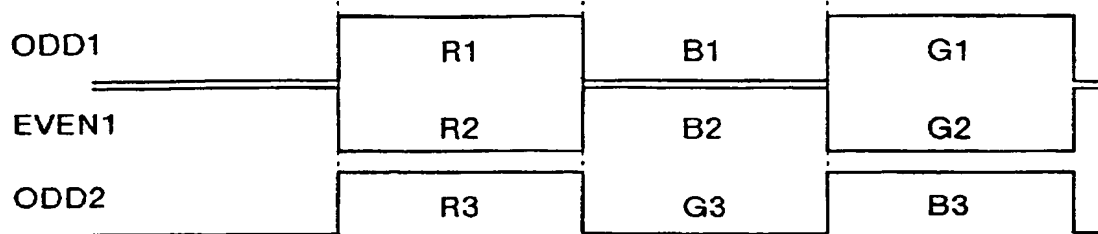
【図 8】

走査順

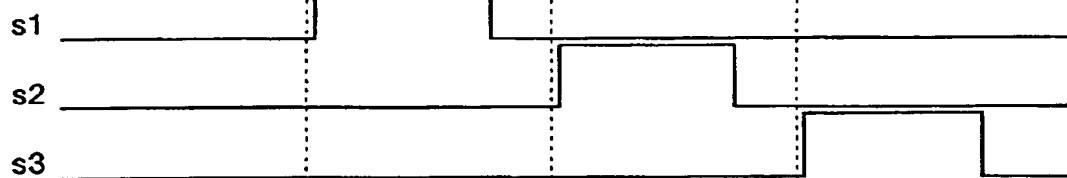
1	H			L			H			L			H		
2		L			H			L			H			L	
3			H			L			H			L			H
1	L			H			L			H			L		
2		H			L			H			L			H	
3			L			H			L			H			L

【図 9】

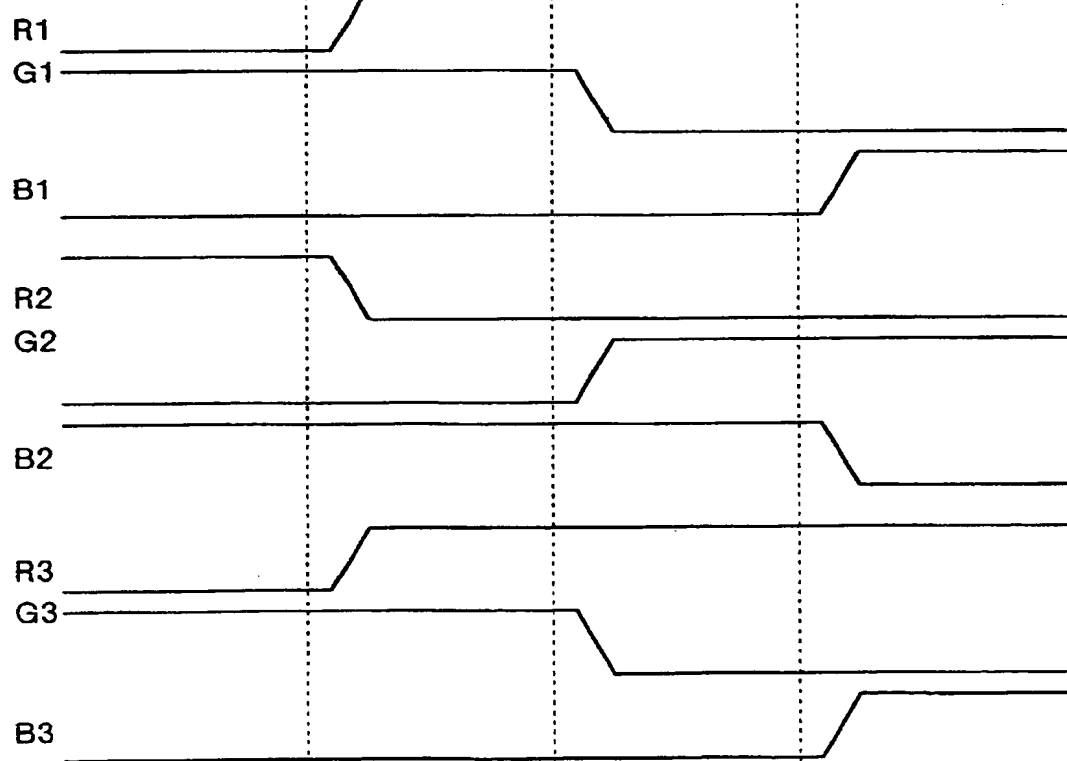
ドライバICの信号出力



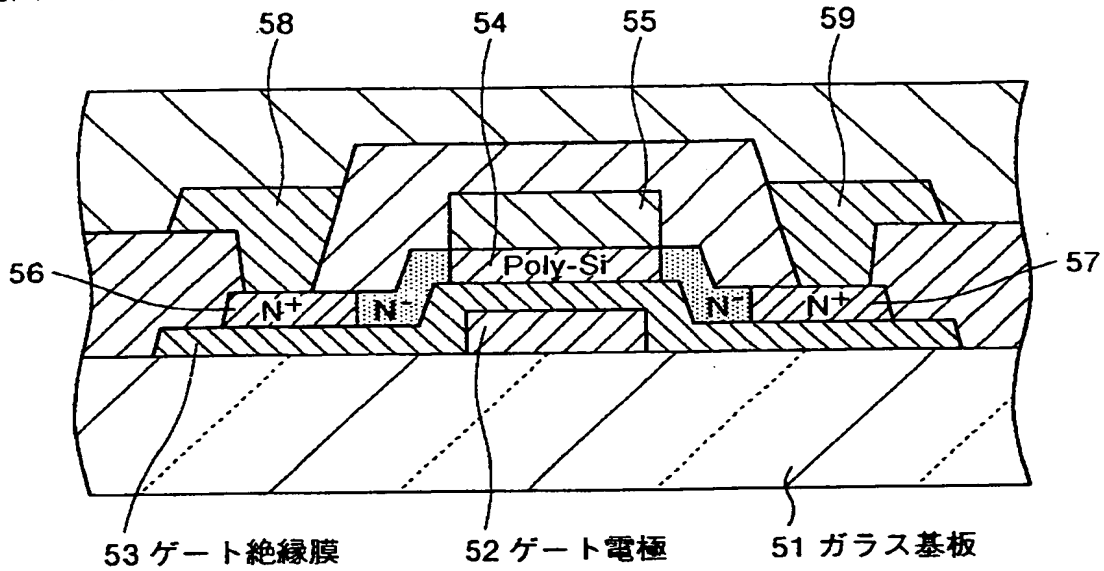
ゲート選択信号



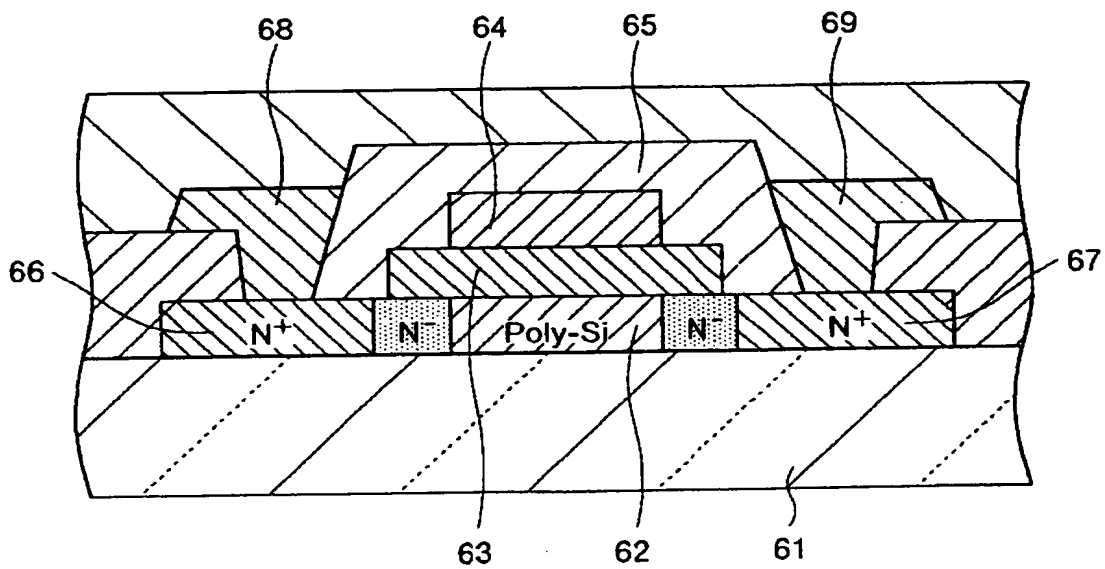
スイッチ後の信号出力



【図 10】

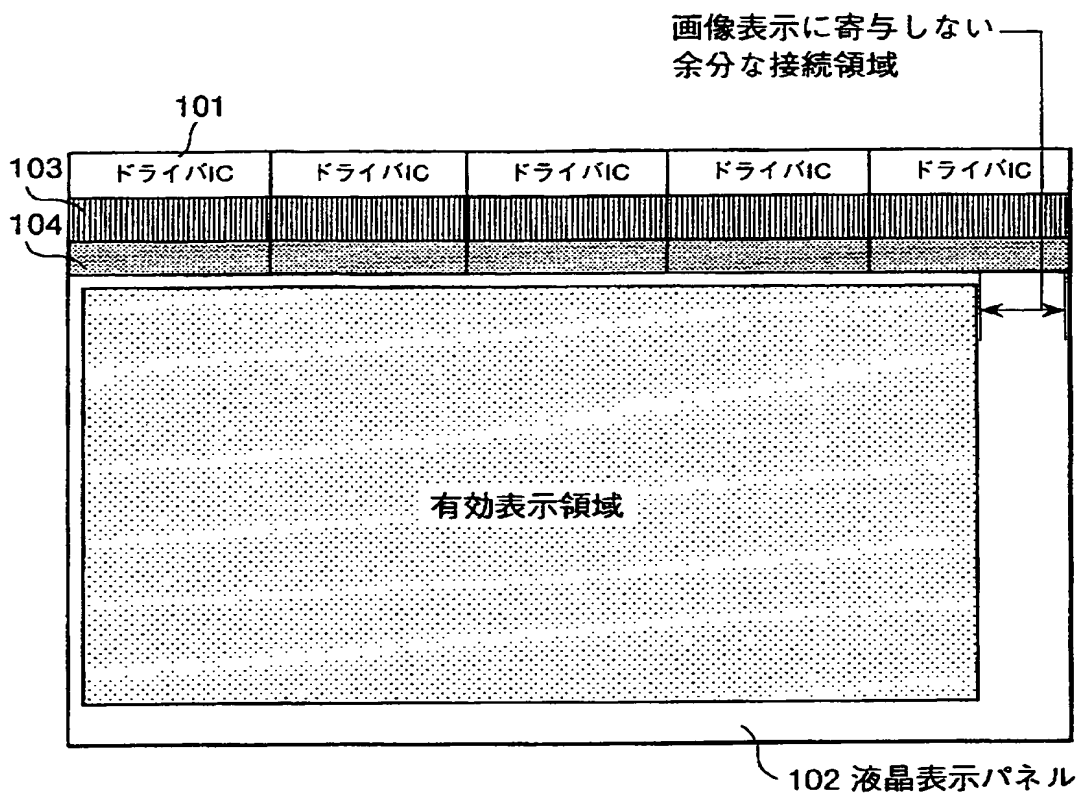


(a)



(b)

【図 11】



【書類名】 要約書

【要約】

【課題】 表示方式によって総本数が決まる信号ラインに対して汎用ドライバ IC を使用すると、ドライバ IC のピン数が余る場合があり、その余分なピン部分が液晶表示パネルの左右の額縁部分を占めることになるため、液晶表示装置全体のコンパクト化が困難となる。

【解決手段】 マトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交差点に複数個の画素が 2 次元配置されてなる液晶表示パネル 10 と、この液晶表示パネル 10 の各画素に複数列分の信号ラインを介して所定の電圧を与える複数のドライバ IC 14-1, 14-2, ……とを備え、これら複数のドライバ IC 14-1, 14-2, ……のそれぞれの出力ピン数を、複数列分の信号ラインの総本数の約数に設定して信号ラインに端数が生じないようにする。

【選択図】 図 5

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000002185
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 35 号
【氏名又は名称】 ソニー株式会社
【代理人】 申請人
【識別番号】 100086298
【住所又は居所】 神奈川県厚木市旭町 4 丁目 11 番 26 号 ジェント
ビル 3 階 船橋特許事務所
【氏名又は名称】 船橋 國則

出 願 人 履 歴 情 報

識別番号

[000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)